

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-017710

(43)Date of publication of application : 17.01.2003

(51)Int.Cl.

H01L 29/786

(21)Application number : 2002-149900

(71)Applicant : INTERNATL BUSINESS MACH
CORP <IBM>

(22)Date of filing : 24.05.2002

(72)Inventor : HUSSEIN I HANAPHY
BROWN JEFFREY J
NATZLE WESLEY C

(30)Priority

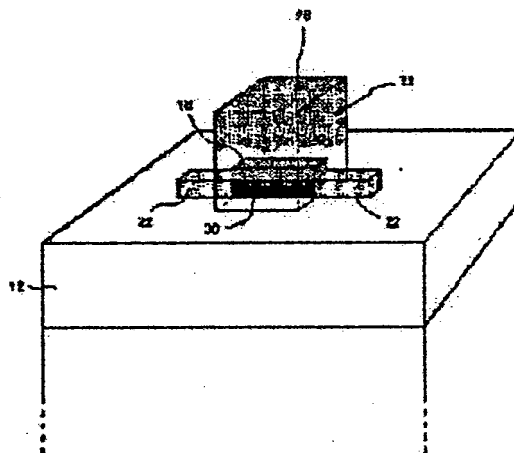
Priority number : 2001 866023 Priority date : 24.05.2001 Priority country : US

(54) DOUBLE GATE/DOUBLE CHANNEL MOSFET

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a technique for forming a double gate/double channel MOSFET structure which has excellent short channel characteristics and a channel length of below 0.05 μm , and to provide the double gate/double channel MOSFET structure itself.

SOLUTION: This technique for manufacturing a MOSFET device which has a double gate/double channel structure uses a damascene process. A gate is located at each side of a silicon film which is about 80 nm or below in vertical thickness and positioned in a gate region. The silicon film functions as the vertical channel region of the structure and interconnects a diffusion region adjacent to the gate region. Due to its double channel feature, the current of this device is twice as large as that of a conventional plane MOSFET of the same physical width.



LEGAL STATUS

[Date of request for examination] : 24.07.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of extinction of right]

EJL...// 10'-JUL-... /DAI / ... 1978 : 1/ ... AAA B WBO DAI45047710D4 0000/00/40

③-4

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-17710

(P2003-17710A)

(43) 公開日 平成15年1月17日 (2003.1.17)

(51) Int.Cl.⁷

H01L 29/786

識別記号

F I

H01L 29/78

テマコード(参考)

617N 5F110

618C

617K

審査請求 有 請求項の数10 O L (全 10 頁)

(21) 出願番号 特願2002-149900(P2002-149900)

(22) 出願日 平成14年5月24日 (2002.5.24)

(31) 優先権主張番号 09/866023

(32) 優先日 平成13年5月24日 (2001.5.24)

(33) 優先権主張国 米国 (US)

(71) 出願人 390009531

インターナショナル・ビジネス・マシーンズ・コーポレーション

INTERNATIONAL BUSINESS MACHINES CORPORATION

アメリカ合衆国10504、ニューヨーク州
アーモンク ニュー オーチャード ロード

(74) 代理人 100086243

弁理士 坂口 博 (外1名)

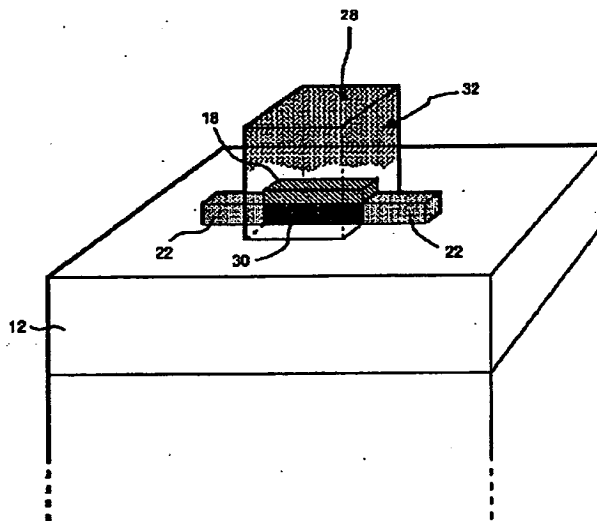
最終頁に続く

(54) 【発明の名称】 2重ゲート/2重チャネルMOSFET

(57) 【要約】

【課題】 優れた短チャネル特性を有するチャネル長0.05 μ m未満の2重ゲート/2重チャネルMOSFET構造を形成する技法、ならびにこのような2重ゲート/2重チャネルMOSFET構造自体を提供する。

【解決手段】 2重ゲート/2重チャネル構造を有するMOSFETデバイスを製造する本発明の技法はダマシンプロセスを利用する。ゲートは、ゲート領域に位置する垂直厚約80nm以下のシリコン膜の両側にある。シリコン膜は構造の垂直チャネル領域の働きをし、ゲート領域に隣接した拡散領域を相互接続する。その2重チャネル特徴のため、本発明のデバイスの電流は、同じ物理幅を有する従来の平面MOSFETの電流の2倍である。



普通のシリコンの FinFET (をいさる)

【特許請求の範囲】

【請求項1】2重ゲート／2重チャネルMOSFETデバイスを製造する方法であって、

(a) 絶縁領域の上に形成されたシリコン層を含む基板の表面に、パターニングされたハード・マスクを形成する段階と、

(b) 前記シリコン層の一部分の上およびパターニングされた前記ハード・マスクの一部分の上に、パターニングされたダミーのゲート・スタックを形成する段階と、

(c) 前記ハード・マスクおよび前記パターニングされたダミー・ゲートによって保護されていない前記シリコン層を前記絶縁領域の表面まで除去し、前記ハード・マスクおよび前記パターニングされたダミー・ゲート領域によって保護された前記シリコン層の露出した側壁を酸化することによって、ソース／ドレイン延長部分を形成する段階と、

(d) 前記絶縁領域の露出した表面に酸化層を形成し、前記パターニングされたダミー・ゲートの最上位ポリシリコン面まで前記酸化層を平坦化する段階と、

(e) 前記パターニングされたダミー・ゲートを前記ハード・マスクの表面まで除去して、前記酸化層に開口を設ける段階と、

(f) 前記開口の中にゲート・スタックを形成する段階と、

(g) 前記酸化層と前記ゲート・スタックに隣接した前記ハード・マスクとを除去し、前記絶縁領域と前記ゲート・スタックに隣接した部分の前記シリコン層とを露出させる段階とを含む方法。

【請求項2】前記ゲート・スタックに隣接した前記露出したシリコン層の部分に、活性化された拡散領域を形成する段階をさらに含む、請求項1に記載の方法。

【請求項3】前記ゲート・スタックを酸化処理する段階をさらに含む、請求項1に記載の方法。

【請求項4】前記ゲート・スタックの露出した側壁にスペーサを形成する段階をさらに含む、請求項1に記載の方法。

【請求項5】前記拡散領域をサリサイド化する段階をさらに含む、請求項2に記載の方法。

【請求項6】底部Si含有層と、
前記底部Si含有層上に位置する絶縁領域と、
前記絶縁領域の一部分の上に位置する上部シリコン層とを備え、
前記上部シリコン層の一部分が垂直チャネル領域として機能し、前記垂直チャネル領域に隣接した前記上部シリコン層の他の部分がその中に拡散領域を含み、さらに、
前記垂直チャネル領域の上に形成されたハード・マスクと、
前記垂直チャネル領域を取り囲んで形成されたゲート領域とを備え、
前記ゲート領域が、前記垂直チャネル領域の露出した側

壁に形成されたゲート酸化物を含む2重ゲート／2重チャネルMOSFET構造。

【請求項7】前記拡散領域が隆起した拡散領域である、請求項6に記載の2重ゲート／2重チャネルMOSFET構造。

【請求項8】前記拡散領域がサリサイド化されている、請求項6に記載の2重ゲート／2重チャネルMOSFET構造。

【請求項9】前記垂直チャネル領域の長さが約0.05 μm 未満である、請求項6に記載の2重ゲート／2重チャネルMOSFET構造。

【請求項10】前記ゲート領域が、前記拡散領域の上の露出した側壁に形成された絶縁スペーサを含む、請求項6に記載の2重ゲート／2重チャネルMOSFET構造。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体デバイスに関し、詳細には、0.05 μm 未満の関連チャネル長を有する2重ゲート金属酸化物半導体電界効果トランジスタ(MOSFET)構造を製造する方法に関する。本発明はさらに、垂直チャネル領域を有する2重ゲートMOSFET構造に関する。本発明のMOSFET構造は垂直厚約80nm以下のシリコン膜を含み、このシリコン膜が、構造の垂直ボディすなわち垂直チャネルを形成する。

【0002】

【従来の技術】過去25年ほどの間の超大規模集積回路(VLSI)の主な課題は、高い歩留りおよび高い信頼性でより多くのMOSFETデバイスを集積することであった。従来技術ではこのことを主に、過大な短チャネル効果を生じさせずにMOSFETのチャネル長をスケール・ダウンすることによって達成してきた。当業者には周知のとおり、短チャネル効果とは、ゲートとソース／ドレイン領域との間の2次元静電荷シェアリングによる短チャネル・デバイスのしきい値電圧 V_t の低下である。

【0003】過大な短チャネル効果を生じさせずにMOSFETのチャネル長をスケール・ダウンするためには、ゲート酸化物の厚さを低減し、チャネルのドーピング濃度を高める必要がある。しかし、ヤン(Yan)他(「Scaling the Si MOSFET: From bulk to SOI to bulk」, IEEE Trans. Elect. Dev., Vol. 39, p. 1704, 1992年7月)によって、チャネル長0.05 μm 未満のMOSFETの短チャネル効果を低減するためには、ドレイン電界からチャネルを遮断する裏面導通層を構造中に有することが重要であることが示された。ヤン他の結果によれば、2重ゲートMOSFETならびに上面ゲートと裏面接地面を有するMOSFETは、短チャネル効果の影響をはるかに受けにくく、したがって、

従来のMOSFETよりも短い寸法にスケールダウンすることができる。

【0004】従来技術のMOSFETの構造は、チャネル用の非常に薄い絶縁層およびチャネルの両側にある2つのゲートから成る。2つのゲートは電氣的に接続され、これによってチャネルを調節する働きをする。このような構造では、2つのゲートがドレインの電気力線を非常に効果的に終端し、ドレイン電位がチャネルのソース側端で感知されることを防ぐため、短チャネル効果が大幅に抑制される。その結果、従来技術の2重ゲートMOSFETのドレイン電圧およびゲート長の変化に伴うしきい値電圧の変化は、同じチャネル長の従来の単一ゲート構造のそれよりも非常に小さくなる。

【0005】現在までのところ、2重ゲートMOSFET構造を製造する適当な手段はなく、したがって、ドレイン電圧およびゲート長の変化に伴うしきい値電圧の変化が同じチャネル長の単一ゲート構造のそれよりも大幅に小さくなる、2重ゲートMOSFETを製造する改良された新しい方法の開発が引き続いて必要である。さらに、同じチャネル長を有する単一ゲート構造のオン電流の2倍のオン電流を有する2重ゲート構造を製造する方法の開発も引続き必要である。

【0006】

【発明が解決しようとする課題】本発明の1つの目的は、0.05 μ m未満の関連チャネル長を有する2重ゲート/2重チャネルMOSFET構造を製造する方法を提供することにある。

【0007】本発明の他の目的は、優れた短チャネル特性を有する2重ゲート/2重チャネルMOSFET構造を製造する方法を提供することにある。

【0008】本発明の他の目的は、ドレイン電圧およびゲート長の変化に伴うしきい値電圧の変化が、同じチャネル長の単一ゲート構造のそれよりも大幅に小さい、2重ゲート/2重チャネルMOSFET構造を製造する方法を提供することにある。

【0009】本発明の他の目的は、同じチャネル長の従来の単一ゲート構造に比べてオン電流が2倍である、2重ゲート/2重チャネルMOSFET構造を製造する方法を提供することにある。

【0010】

【課題を解決するための手段】本発明ではこれらの目的および利点ならびに他の目的および利点が、ダマシン・プロセスを利用して、2重ゲート/2重チャネル構造を有するMOSFET構造を製造することによって達成される。本発明のデバイスのゲートは、垂直厚すなわち高さが約80nm以下のシリコン膜の両側に位置する。絶縁領域の上に形成されたこのシリコン膜は、MOSFET構造の垂直チャネル領域として機能し、この膜をゲートが取り囲んで、2つの平行チャネルおよび単一のゲートを有するMOSFET構造を形成する。

【0011】チャネル長を約0.05 μ m未満にする、デバイス・ボディ、すなわちチャネル領域の水平厚が非常に薄くなり、これによってドレインの電気力線を周囲のゲートで終端させることができるため、短チャネル効果は大幅に低減する。このことは、チャネルのソース側端でドレイン電位が感知されることを防ぐ。その2重チャネル特徴のため、本発明の構造の電流は、同じ物理的チャネル長を有する従来の平面MOSFETの電流の2倍となる。

【0012】したがって本発明の一態様は、0.05 μ m未満のチャネル長を有する2重ゲート/2重チャネルMOSFET構造を製造する方法に関する。この方法は、(a)絶縁領域の上に形成されたシリコン層を少なくとも含む基板の表面に、パターニングされたハード・マスクを形成する段階と、(b)前記シリコン層の一部の上およびパターニングされた前記ハード・マスクの一部の上に、パターニングされたダミーのゲート・スタックを形成する段階と、(c)前記ハード・マスクおよび前記パターニングされたダミー・ゲートによって保護されていない前記シリコン層を前記絶縁領域の表面まで除去し、前記ハード・マスクおよび前記パターニングされたダミー・ゲート領域によって保護された前記シリコン層の露出した側壁を酸化することによって、ソース/ドレイン延長部分を形成する段階と、(d)前記絶縁領域の露出した表面に酸化層を形成し、前記パターニングされたダミー・ゲートの最上位ポリシリコン面まで前記酸化層を平坦化する段階と、(e)前記パターニングされたダミー・ゲートを前記ハード・マスクの表面まで除去して、前記酸化層に開口を設ける段階と、(f)前記開口の中にゲート・スタックを形成する段階と、

(g)前記酸化層と前記ゲート・スタックに隣接した前記ハード・マスクとを除去し、前記絶縁領域と前記ゲート・スタックに隣接した部分の前記シリコン層とを露出させる段階とを含む。

【0013】上記の方法では、段階(e)で設けられた開口の中のハード・マスクの下に残ったシリコン層が、本発明の2重ゲート/2重チャネルMOSFET構造の垂直チャネル領域を表す。

【0014】上記段階(g)に続いて本発明はさらに、以下の1つまたは複数の段階を企図する：

—前記ゲート・スタックに隣接した前記露出したシリコン層の部分に、活性化されたソース/ドレイン領域を形成する段階、

—前記ゲート・スタックを酸化処理する段階(ゲート・スタックがポリシリコンを含む場合には必須)、

—前記ゲート・スタックの露出した側壁にスペーサを形成する段階(ポリシリコンを含むゲート・スタックでは任意選択だが、非ポリシリコン・ゲート・スタックでは必須)、

—前記ソース/ドレイン領域をサリサイド化し、または

ゲート・スタックに隣接した前記露出したシリコン層の部分に隆起したソース／ドレイン領域を形成し、次いでこの隆起したソース／ドレイン領域をサリサイド化する段階、

—他のバック・エンド・オブ・ザ・ライン (BEOL) 処理。

【0015】本発明の他の態様は、上記の処理段階から形成された2重ゲート／2重チャネルMOSFET構造を含む。具体的には本発明の2重ゲート／2重チャネルMOSFET構造は、底部Si含有層と、前記底部Si含有層上に位置する絶縁領域と、前記絶縁領域の一部分の上に位置する上部シリコン層とを備え、前記上部シリコン層の一部分が垂直チャネル領域として機能し、前記垂直チャネル領域に隣接した前記上部シリコン層の他の部分がその中に拡散領域を含み、さらに、前記垂直チャネル領域の上に形成されたハード・マスクと、前記垂直チャネル領域を取り囲んで形成されたゲート領域とを備え、前記ゲート領域が、前記垂直チャネル領域の露出した側壁に形成されたゲート酸化物を少なくとも含む。

【0016】

【発明の実施の形態】次に、2重ゲート／2重チャネルMOSFET構造を製造する方法ならびにこのようなMOSFET構造自体に関する本発明を、本出願に添付された図面を参照することによってより詳細に説明する。添付図面では同じ参照符号が、同じ要素および／または対応する要素を指すことに留意されたい。

【0017】最初に図1を参照すると、本発明の2重ゲート／2重チャネルMOSFET構造を製造する際に使用される最初の構造が示されている。具体的には、図1に示した最初の構造は、その上面にハード・マスク16が形成された基板10を含む。図1に示した基板は、底部Si含有層11、層11の上に位置する絶縁領域12、および絶縁領域12の上に位置するシリコン層14を含む。

【0018】図1に示した初期構造は、当技術分野で周知の従来の材料から成り、この構造の形成には、やはり当技術分野で周知の従来の処理技法が使用される。基板は例えば、絶縁領域12が、シリコン層（すなわち図1のシリコン層14）と底部Si含有層（すなわち図1の層11）の間に挟まれた埋込み酸化層であるシリコン・オン・インシュレータ (SOI) ウェーハであり、あるいは、薄くドーパされた上部シリコン層すなわちシリコン層14と濃くドーパされた底部Si含有層（すなわち図1の層11）との間に薄い酸化層すなわち絶縁領域12が形成されたSi含有ウェーハを含む。濃くドーパされた底部Si含有層は基板の接地面領域である。接地面基板の場合には、図1に示した絶縁領域が図示よりもはるかに薄くなることに留意されたい。本明細書で使用する用語「Si含有」は、Si、SiGe、SiGeC、SiC、ポリシリコン（すなわちpoly Si）、エピ

タキシャル・シリコン（すなわちepi-Si）、アモルファス・シリコン（a-Si）などの材料、これらの多層、または他の同様のSi含有材料を意味する。

【0019】本発明によれば、上部のシリコン層14は、垂直厚 t_v 、すなわち高さが約20から約80nmの薄いシリコン層であり、垂直厚が約50nmであると非常に好ましい。絶縁領域12およびその下のSi含有層の厚さは本発明にとってそれほど重要ではない。しかし、接地面基板を使用するときには絶縁領域の厚さが一般に、SOI基板の対応する絶縁層の厚さよりも薄くなる。

【0020】本発明でSOI基板を使用するとき、SOI基板は当技術分野で周知の技法を使用して製造される。SOI基板は例えば熱ボンディング・プロセスによって製造することができ、あるいは当技術分野でSIMOX (separation by ion implantation of oxygen) と呼ばれている注入プロセスによって形成することができる。

【0021】基板が接地面領域を含むときには、当技術分野で周知の従来のボンディング・プロセスによって接地面領域を含む基板が形成され、従来のイオン注入を利用してSi層のドーピングが実施される。

【0022】本発明で使用される基板のタイプにかかわらず、当技術分野で周知の従来のプロセスを利用して基板10のシリコン層14の表面にハード・マスク16を形成する。ハード・マスクは例えば、化学蒸着 (CVD)、プラズマCVD、蒸着、スパッタリング、原子層付着、化学溶液付着などの従来の付着プロセスによって形成し、あるいは酸化、窒化、酸窒化などの従来の熱成長プロセスによって形成する。上記技法の中では、熱成長プロセスによってハード・マスク16を形成するのが非常に好ましい。

【0023】本発明で使用されるハード・マスクは、酸化物、窒化物、酸窒化物などの絶縁材料またはこれらの組合せから成る。ハード・マスク16の非常に好ましい材料は SiO_2 などの酸化物である。本発明によれば、ハード・マスク材料の層は基板10の最上位面に形成する。本発明で使用するハード・マスク材料層の物理的な厚さは約30から約70nmであり、この物理的厚さが約50nmであると非常に好ましい。

【0024】基板の最上位面へのハード・マスク材料層の形成に続いて、ハード・マスク層16をパターニングして、シリコン層14の一部分の上にパターニングされたハード・マスク18を形成する。図2を参照されたい。本出願の図面にはパターニングされたハード・マスク領域を1つしか示さなかったが、基板10の最上位面に2つ以上のパターニングされたハード・マスク領域を形成しても本発明は同じように機能する。なお、分かりやすくするため図2では層11が省略されていることに留意されたい。

【0025】パターンニングされたハード・マスク18は、リソグラフィおよびエッチングを利用することによってシリコン層14の一部分の上に形成する。このパターンニング・プロセスで使用するリソグラフィ段階は、ハード・マスク16の表面にフォトレジスト（図示せず）を塗布する段階と、放射パターンに前記フォトレジストを露光する段階と、従来の現像液を使用してすることによって、露光したフォトレジスト中のパターンを現像する段階を含む。次いでこのパターンを、反応性イオン・エッチング（RIE）、プラズマ・エッチング、イオン・ビーム・エッチングなどの従来のエッチング・プロセスを使用することによってハード・マスクへ転写し、このエッチング段階に続いて、パターンニングされたレジストを除去し、図2に示すようなパターンニングされたハード・マスク18を得る。

【0026】次いで、パターンニングされたハード・マスク18の一部分の上、およびシリコン層14の一部分の上に、ダミー・ゲート・スタック20を形成して図3に示す構造を得る。具体的には図3に示した構造は、まず最初に図2に示した構造の表面にポリシリコンの層を付着させることによって形成する。このポリシリコン層は、CVD、プラズマCVD、蒸着、スパッタリング、原子層付着、化学溶液付着などの従来の付着プロセスによって形成する。

【0027】このポリシリコン層はダミー・ゲート材料として使用するものであるので、本発明のこの段階で形成するポリシリコンの厚さは、続いて形成する所望のゲート領域の厚さと少なくとも同じでなければならない。具体的には、本発明のこの時点で使用するポリシリコン材料の厚さは約100から約200nmであり、約120から約180nmであると非常に好ましい。

【0028】次いで、パターンニングされたハード・マスク18の一部分の上に位置するポリシリコン層の最上位面の一部に厚さ約50nmの酸化層を形成する。この酸化層は、CVDなどの従来の付着プロセスを利用して形成することができ、あるいはこの酸化層の形成に従来の酸化プロセスを使用することができる。酸化層を形成した後、従来のリソグラフィおよびエッチングを利用して酸化層をパターンニングし、ポリシリコン層の表面にハード・マスク21を形成する。なおこのハード・マスクは、パターンニングされたダミー・ゲート領域の形成に使用されることに留意されたい。

【0029】ハード・マスク21の形成に続いて、その上に保護酸化層を含まないポリシリコン層の領域をエッチングすることによって、ハード・マスク21を含まないポリシリコンの露出部分をパターンニングして、図3に示したパターンニングされたダミー・ゲート20を形成する。パターンニングされたダミー・ゲートは、パターンニングされたハード・マスクの一部およびシリコン層の一部の上に形成されることに留意されたい。

【0030】ダミー・ゲート領域のパターンニングに続いて、図3に示した構造を除去処理にかけ、ダミー・ゲート20およびパターンニングされたハード・マスク18によって覆われていないシリコン層14の露出部分を、その下の絶縁領域（すなわち基板10の絶縁領域12）の表面で止めることができるRIEなどの従来のドライ・エッチング・プロセスを利用して除去する。本発明のこの段階で使用する除去プロセスでは、パターンニングされたハード・マスクおよびパターンニングされたダミー・ゲートによって保護された部分のシリコン層がそのままに残ることに留意されたい。残ったシリコンは露出した側壁を有し、次いでこれを従来の酸化プロセスにかけ、パターンニングされたダミー・ゲート領域に隣接したソース／ドレイン延長領域22およびダミー・ゲート20の下にあるパッド酸化物領域23を形成する。図4を参照されたい。

【0031】本発明で使用する酸化プロセスには、酸素を含む雰囲気中で約700℃以上の温度で実行される従来の任意の側壁酸化プロセスが含まれる。側壁酸化プロセスを約800℃から約900℃の温度で実行するとより好ましい。本発明で使用する側壁酸化段階の持続時間はそれほど重要ではなく、したがって当業者に周知の範囲で変更することができる。

【0032】図5は、平坦化された酸化層24を構造中に形成した後得られる構造を示す図である。具体的には、まず最初に図4に示した構造の露出した表面全体に酸化層を付着させ、その後、付着させた層を、ダミー・ゲート領域20の最上位ポリシリコン面まで平坦化することによって、平坦化された酸化層24を形成する。平坦化段階の間に最上位の保護酸化層は除去されることに留意されたい。本発明のこの段階で形成される酸化層は例えば、従来の低圧CVDプロセスによって付着させたTEOS（テトラエチルオルトシリケート）、または従来の付着プロセスによって形成した他の同様の材料から成る。

【0033】本発明のこの段階で使用する平坦化プロセスには、化学機械研磨（CMP）、研削など、従来の任意の平坦化技法が含まれる。本発明の次の段階を実行できるように、層24として使用される酸化物材料のエッチング速度は、ダミー・ゲートのポリシリコンのエッチング速度よりも小さいことに留意されたい。

【0034】図6に例示する本発明の次の段階は、ダミー・ゲート領域20を選択的に除去して、パターンニングされたハード・マスク18の最上位面まで延びる開口26を設ける段階を含む。本発明のこの段階の間に、ダミー・ゲート・ポリシリコンの下、パターンニングされたハード・マスクによって保護されていないシリコン層14も除去されることに留意されたい。本発明によれば、ダミー・ゲート領域、およびダミー・ゲート・ポリシリコンの下、ハード・マスクによって保護されていない

シリコン層14を、RIE、プラズマ・エッチング、イオン・ビーム・エッチングなどの従来のドライ・エッチング・プロセスによって除去する。本発明のこの段階の結果、絶縁領域12の上に位置する残ったシリコン層14の内部にチャンネル領域が形成されることに留意されたい。図6では参照符号25が、本発明の構造の1つの垂直チャンネル領域を表す。垂直チャンネル領域は、絶縁領域12の上に位置する薄いシリコン層14から成ることに留意されたい。

【0035】本発明のプロセスのこの時点において任意選択で、開口中に窒化物または他の絶縁スペーサ（図示せず）を当業者に周知の従来の付着プロセスを利用して形成することができる。スペーサは、極めて小さなチャンネル長が望ましい場合に使用するのが好ましい。

【0036】次に、開口内にゲート・スタック28を形成し、図7に示す構造を得る。ゲート・スタック28の形成には、開口26内のパターニングされたハード・マスクの下に位置する残ったシリコン層14の露出した側壁にゲート酸化物30を形成する段階と、前記開口にゲート導体32を充てんする段階と、平坦化された酸化層24の高さまで平坦化する段階が含まれる。具体的にはゲート酸化物は、先に述べた従来の側壁酸化プロセスを利用することによって形成し、またはCVDなどの付着プロセスによって形成することができる。

【0037】本発明で使用するゲート導体充てん段階には、CVD、プラズマCVD、スパッタリング、めっき、蒸着、原子層付着、化学溶液付着などの従来の任意の付着プロセスの使用が含まれる。本発明で 사용되는ゲート導体32には、ポリシリコン、Cu、W、Pt、Ag、Au、Ru、Reなどの元素金属、これらの元素金属の合金、ケイ酸塩または酸窒化物を含む任意の導電材料が含まれる。ただしこれらに限定されるわけではない。本発明で使用する非常に好ましい導電材料はポリシリコンである。

【0038】図7に示した平坦化された構造の形成には、CMPまたは他の同様の平坦化プロセスを使用することができる。

【0039】ポリシリコンをゲート導体として使用する際には、ポリシリコン・ゲート導体領域を含む平坦化された構造を従来のイオン注入段階にかけて、ポリシリコン・ゲート導体にドーパント・イオン（n型またはp型）を注入し、その後、ポリシリコン・ゲート導体内のドーパント・イオンを拡散させ活性化する働きをする従来のアニール・プロセスを使用することができる。なお、従来のin situドーピング付着プロセスを利用して開口内にポリシリコン層を形成する場合には、この段階を省略することができることに留意されたい。

【0040】開口内にゲート領域を形成した後、平坦化された酸化層24ならびにゲート領域以外のパターニングされたハード・マスク18を、ゲート導体に比べて酸

化物をより選択的に除去する従来のエッチング・プロセスを利用して除去する。具体的には、本発明のこのエッチング・プロセスが、HFなどの化学エッチング液を使用したウェット・エッチング・プロセスを含む。酸化層を除去した後の構造が図8に例示されている。

【0041】構造から酸化層を除去した後、図8に示した構造を、以下の1つまたは複数の追加の処理段階にかけることができる：(i) 前記ゲート・スタックに隣接した前記露出したシリコン層の部分に、活性化された拡散（ソース／ドレイン）領域を形成する段階、(ii) ゲート・スタックを酸化処理する段階（ゲート・スタックがポリシリコンを含む場合には必須）、(iii) 前記ゲート・スタックの露出した側壁にスペーサを形成する段階（ポリシリコンを含むゲート・スタックでは任意選択だが、非ポリシリコン・ゲート・スタックでは必須）、(iv) 前記ソース／ドレイン領域をサリサイド化し、または選択的Si付着によって隆起したソース／ドレイン領域をサリサイド化する段階、および(v) 他のバック・エンド・オブ・ザ・ライン（BEOL）処理。

【0042】上記の追加の処理段階はそれぞれ、当技術分野で周知の技法を含む。例えば、活性化されたソース／ドレイン領域はイオン注入およびアニールによって形成され、ポリ・ゲートの酸化は従来の側壁酸化プロセスを利用して実施され、絶縁スペーサ、例えば窒化物スペーサは付着およびエッチングによって形成され、ソース／ドレインのサリサイド化は、当技術分野で周知の従来の付着プロセスを利用してTi、Co、Wなどの高融点金属をソース／ドレイン領域に付着させることによって実行され、その後この構造を、TiSi₂などの高融点金属ケイ化物が拡散領域の上に形成される条件下でアニールする。

【0043】ポリシリコン・ゲートの仕事関数およびデバイスの非常に薄いボディのため、ポリシリコン・ゲート導体を使用するときには、高い「オフ」電流の問題が存在する可能性があることに留意されたい。この問題は、本明細書に記載した他の導体に切り替えることによって、またはしきい値電圧を調整することができる接地面を含む基板を使用することによって軽減することができる。接地面を使用する場合には、構造の外表面から底部の濃くドーパされたSi含有層へ接続を提供するリーチスルー注入を基板に形成する必要がある。

【0044】まとめとして、本発明の構成に関して以下の事項を開示する。

【0045】(1) 2重ゲート／2重チャンネルMOSFETデバイスを製造する方法であって、(a) 絶縁領域の上に形成されたシリコン層を含む基板の表面に、パターニングされたハード・マスクを形成する段階と、

(b) 前記シリコン層の一部分の上およびパターニングされた前記ハード・マスクの一部分の上に、パターニン

グされたダミーのゲート・スタックを形成する段階と、

(c) 前記ハード・マスクおよび前記パターンニングされたダミー・ゲートによって保護されていない前記シリコン層を前記絶縁領域の表面まで除去し、前記ハード・マスクおよび前記パターンニングされたダミー・ゲート領域によって保護された前記シリコン層の露出した側壁を酸化することによって、ソース/ドレイン延長部分を形成する段階と、(d) 前記絶縁領域の露出した表面に酸化層を形成し、前記パターンニングされたダミー・ゲートの最上位ポリシリコン面まで前記酸化層を平坦化する段階と、(e) 前記パターンニングされたダミー・ゲートを前記ハード・マスクの表面まで除去して、前記酸化層に開口を設ける段階と、(f) 前記開口の中にゲート・スタックを形成する段階と、(g) 前記酸化層と前記ゲート・スタックに隣接した前記ハード・マスクとを除去し、前記絶縁領域と前記ゲート・スタックに隣接した部分の前記シリコン層とを露出させる段階とを含む方法。

(2) 段階(a)が、前記基板の前記表面にハード・マスク材料を付着させる段階と、前記ハード・マスクの表面にフォトリジストを塗布する段階と、前記フォトリジストを放射パターンで露光する段階と、前記フォトリジスト中のパターンを現像する段階と、前記パターンをエッチングによって前記ハード・マスク材料に転写する段階とを含む、上記(1)に記載の方法。

(3) 前記エッチングが反応性イオン・エッチングを含む、上記(2)に記載の方法。

(4) 段階(b)が、ポリシリコン層を付着させる段階と、前記ポリシリコン層の一部分の上に保護酸化層を形成する段階と、前記保護酸化層によって保護されていないポリシリコンをエッチングする段階とを含む、上記

(1)に記載の方法。

(5) 段階(c)の前記除去が反応性イオン・エッチング・プロセスを含む、上記(1)に記載の方法。

(6) 段階(c)の前記酸化が、酸素を含む雰囲気中で約700℃以上の温度で実行される、上記(1)に記載の方法。

(7) 前記酸化が約800℃から約900℃の温度で実行される、上記(6)に記載の方法。

(8) 段階(d)で使用する前記酸化層が、低圧化学蒸着プロセスによって付着されたTEOSから成る、上記(1)に記載の方法。

(9) 段階(e)が反応性イオン・エッチング・プロセスを含む、上記(1)に記載の方法。

(10) 段階(f)が、前記開口内の前記残ったシリコン層の露出した側壁にゲート酸化物を形成する段階と、前記開口にゲート導体を充てんする段階と、前記ゲート導体を平坦化する段階を含む、上記(1)に記載の方法。

(11) 前記ゲート酸化物を熱酸化プロセスによって形成する、上記(10)に記載の方法。

(12) 前記充てん段階が、化学蒸着、プラズマ化学蒸着、スパッタリング、めっき、蒸着、原子層付着および化学溶液付着から成るグループから選択した付着プロセスを含む、上記(10)に記載の方法。

(13) 前記ゲート導体がポリシリコンである、上記(10)に記載の方法。

(14) 前記ポリシリコンを、イオン注入およびアニールによってドーピングする、上記(13)に記載の方法。

(15) 段階(g)が、HFを化学エッチング液として使用したウェット・エッチング・プロセスを含む、上記(1)に記載の方法。

(16) 前記ゲート・スタックに隣接した前記露出したシリコン層の部分に、活性化された拡散領域を形成する段階をさらに含む、上記(1)に記載の方法。

(17) 前記ゲート・スタックを酸化処理する段階をさらに含む、上記(1)に記載の方法。

(18) 前記ゲート・スタックの露出した側壁にスペーサを形成する段階をさらに含む、上記(1)に記載の方法。

(19) 前記拡散領域をサリサイド化する段階をさらに含む、上記(16)に記載の方法。

(20) 底部Si含有層と、前記底部Si含有層上に位置する絶縁領域と、前記絶縁領域の一部分の上に位置する上部シリコン層とを備え、前記上部シリコン層の一部分が垂直チャネル領域として機能し、前記垂直チャネル領域に隣接した前記上部シリコン層の他の部分がその中に拡散領域を含み、さらに、前記垂直チャネル領域の上に形成されたハード・マスクと、前記垂直チャネル領域を取り囲んで形成されたゲート領域とを備え、前記ゲート領域が、前記垂直チャネル領域の露出した側壁に形成されたゲート酸化物を含む2重ゲート/2重チャネルMOSFET構造。

(21) 前記絶縁領域が、シリコン・オン・インシュレータ基板の埋込み酸化物領域である、上記(20)に記載の2重ゲート/2重チャネルMOSFET構造。

(22) 前記絶縁領域が、接地面基板の酸化物領域である、上記(20)に記載の2重ゲート/2重チャネルMOSFET構造。

(23) 前記上部シリコン層の垂直厚が約20から約80nmである、上記(20)に記載の2重ゲート/2重チャネルMOSFET構造。

(24) 前記ゲート領域がさらにゲート導体を含む、上記(20)に記載の2重ゲート/2重チャネルMOSFET構造。

(25) 前記ゲート導体がポリシリコンから成る、上記(24)に記載の2重ゲート/2重チャネルMOSFET構造。

(26) 前記拡散領域が隆起した拡散領域である、上記(20)に記載の2重ゲート/2重チャネルMOSFET構造。

(27) 前記拡散領域がサリサイド化されている、上記(20)に記載の2重ゲート/2重チャネルMOSFET構造。

(28) 前記垂直チャネル領域の長さが約0.05 μm 未満である、上記(20)に記載の2重ゲート/2重チャネルMOSFET構造。

(29) 前記ハード・マスクが SiO_2 から成る、上記(20)に記載の2重ゲート/2重チャネルMOSFET構造。

(30) 前記ゲート領域が酸化した側壁領域を含む、上記(20)に記載の2重ゲート/2重チャネルMOSFET構造。

(31) 前記ゲート領域が、前記拡散領域の上の露出した側壁に形成された絶縁スペーサを含む、上記(20)に記載の2重ゲート/2重チャネルMOSFET構造。

【図面の簡単な説明】

【図1】本発明の2重ゲート/2重チャネルMOSFET構造の形成の最初の処理段階を示す図である。

【図2】本発明の2重ゲート/2重チャネルMOSFET構造の形成の図1の後の段階を示す図である。

【図3】本発明の2重ゲート/2重チャネルMOSFET構造の形成の図2の後の段階を示す図である。

【図4】本発明の2重ゲート/2重チャネルMOSFET構造の形成の図3の後の段階を示す図である。

【図5】本発明の2重ゲート/2重チャネルMOSFET

T構造の形成の図4の後の段階を示す図である。

【図6】本発明の2重ゲート/2重チャネルMOSFET構造の形成の図5の後の段階を示す図である。

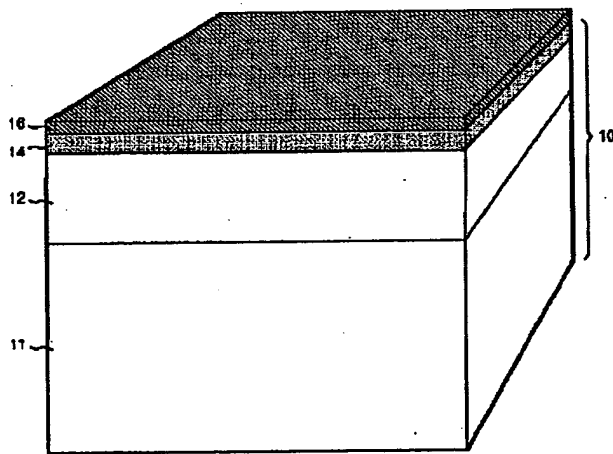
【図7】本発明の2重ゲート/2重チャネルMOSFET構造の形成の図6の後の段階を示す図である。

【図8】本発明の2重ゲート/2重チャネルMOSFET構造の形成の図7の後の段階を示す図である。

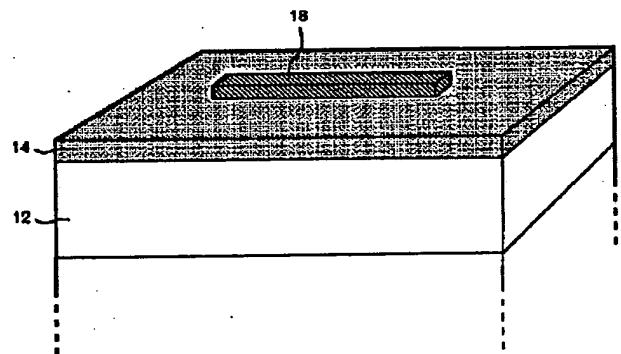
【符号の説明】

- 10 基板
- 11 底部Si含有層
- 12 絶縁領域
- 14 シリコン層
- 16 ハード・マスク
- 18 バターニングされたハード・マスク
- 20 ダミーのゲート・スタック
- 21 ハード・マスク
- 22 ソース/ドレイン延長領域
- 23 パッド酸化物領域
- 24 酸化層
- 25 垂直チャネル領域
- 26 開口
- 28 ゲート・スタック
- 30 ゲート酸化物
- 32 ゲート導体

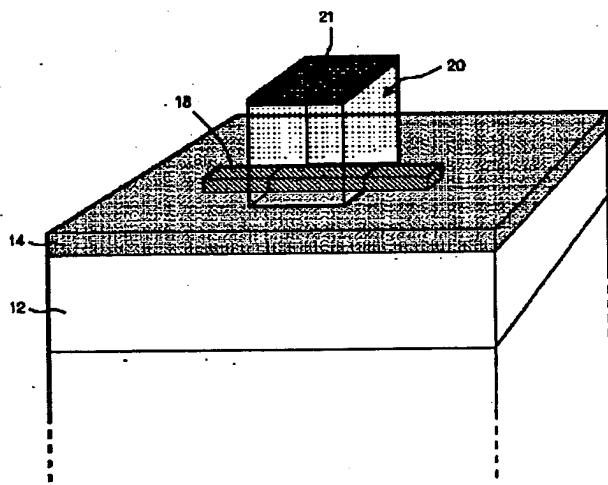
【図1】



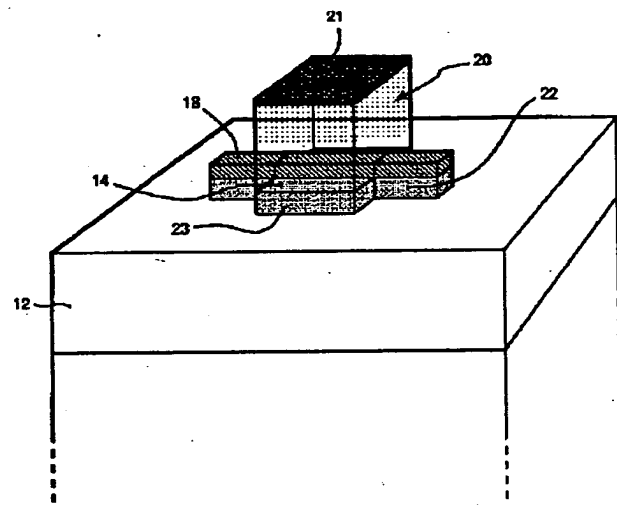
【図2】



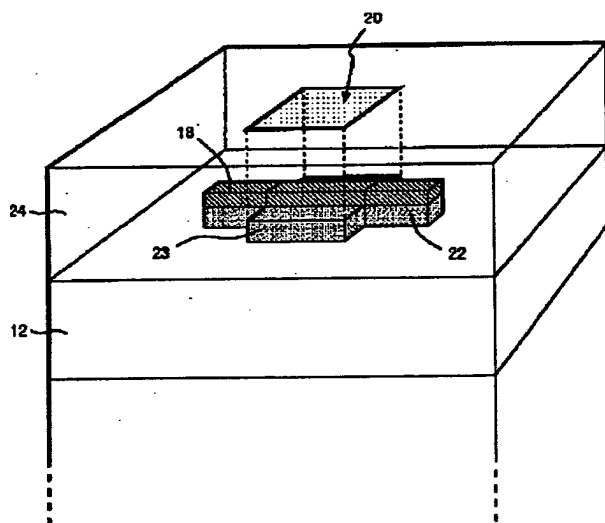
【図3】



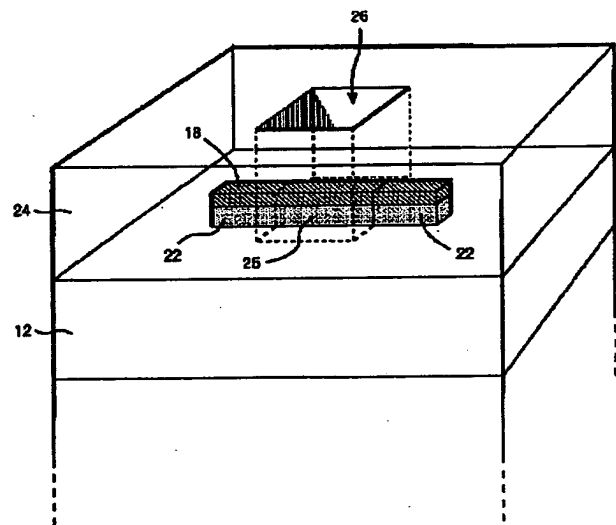
【図4】



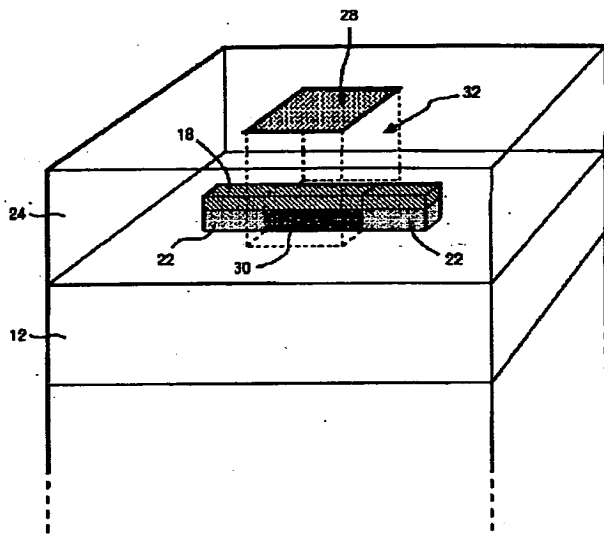
【図5】



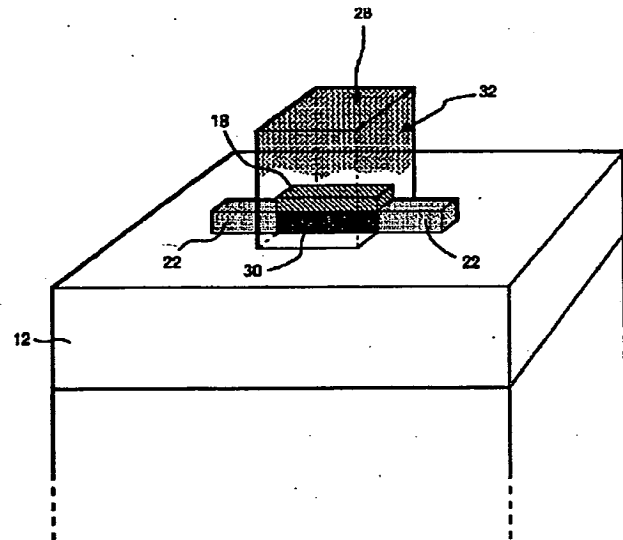
【図6】



【図7】



【図8】



フロントページの続き

(72)発明者 フセイン・アイ・ハナフィー
アメリカ合衆国07920 ニュージャージー
州バスキング・リッジ ギャロッピング・
ヒル・ロード 80

(72)発明者 ジェフリー・ジェイ・ブラウン
アメリカ合衆国12524 ニューヨーク州フ
イッシュキル ホーソーン・コート 8

(72)発明者 ウェスリー・シー・ナツル
アメリカ合衆国12561 ニューヨーク州ニ
ューボルツ カナン・ロード 140

Fターム(参考) 5F110 AA07 AA08 CC02 DD05 DD13
EE02 EE04 EE05 EE06 EE09
EE14 EE22 EE29 EE42 EE43
EE44 EE45 FF02 FF22 FF29
GG01 GG02 GG12 GG13 GG15
GG22 GG25 HJ23 HK05 QQ11
QQ19